

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

3

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表平11-501463

(43)公表日 平成11年(1999)2月2日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 B

29/20

29/20

審査請求 未請求 予備審査請求 未請求(全 17 頁)

(21)出願番号 特願平9-524138
 (86)(22)出願日 平成8年(1996)12月6日
 (85)翻訳文提出日 平成9年(1997)8月26日
 (86)国際出願番号 PCT/IB96/01377
 (87)国際公開番号 WO97/24752
 (87)国際公開日 平成9年(1997)7月10日
 (31)優先権主張番号 08/583, 148
 (32)優先日 1995年12月28日
 (33)優先権主張国 米国 (US)
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), J P

(71)出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ
 オランダ国 5621 ベーアー アイन्दーフェン フルーネヴァウツウェッハ 1
 (72)発明者 タスカー ニキル エル
 オランダ国 5656 アーアー アイन्दーフェン プロフ ホルストラーン 6
 (72)発明者 メンズ ピオトル エム
 オランダ国 5656 アーアー アイन्दーフェン プロフ ホルストラーン 6
 (72)発明者 カーン バパー アー
 オランダ国 5656 アーアー アイन्दーフェン プロフ ホルストラーン 6
 (74)代理人 弁理士 杉村 暁秀 (外6名)

(54)【発明の名称】 GaN-AlNをベース材料とする高電圧半導体装置の製造方法及び製造された半導体装置

(57)【要約】

本発明は、基板(1)上に一導電形GaN層(2)を形成し、この一導電形GaN層(2)上に半絶縁性のAlN層(3)を形成すると共に、前記一導電形GaN層(2)上にAlN層(3)の部分的に下側に反対導電形のGaN層(4, 5)を形成する半導体装置を製造する技術に関するものである。この技術により、シリコン形の半導体よりも一層良好で同一の性能を有する高効率高パワー高電圧半導体装置が形成される。

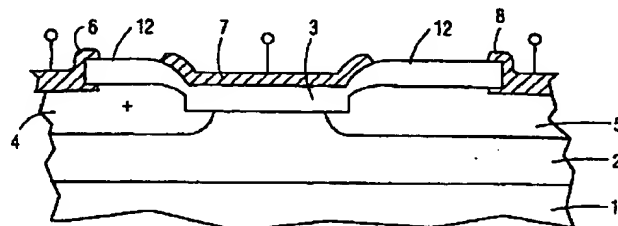


FIG. 1

【特許請求の範囲】

I. 高電圧半導体デバイスを製造するに当たり、

基板(1)上に一導電型のGaN層(2)を形成する工程と、

前記GaN層(2)上にAlNの半絶縁層(3)を形成する工程と、

前記AlN層の一部分及び部分(11)をマスクングする工程と、

前記AlN層(3)及びAlN層(3)のマスクされた部分の下側のGaN層(2)の部分(11)をエッチングする工程と、

前記一導電型のGaN層(2)上及びAlN層のマスクされた部分の下側の区域に反対導電型GaN層(4, 5)を形成してpn接合を形成する工程とを具える高電圧半導体デバイスの製造方法。

2. 請求項1に記載の方法において、前記一導電型のGaN層(2)をp形とし、反対導電型のGaN層(4, 5)をn形とした方法。

3. 請求項1又は2に記載の方法において、前記反対導電型のGaN層(4, 5)をn+形とした方法。

4. 請求項1、2又は3に記載の方法において、前記反対導電型のGaN層(4, 5)の少なくとも一部分をn形とした方法。

5. さらに、前記各AlN層(3)及び前記反対導電型のGaN層(4, 5)のAlN層(3)とは反対側の部分に電気的コンタクト27、28、29を形成する工程を具える方法。

6. 高電圧半導体デバイスを製造するに当たり、

基板(41)上に一導電型のGaN層(42)を形成する工程と、

前記一導電型のGaN層(42)上に反対導電型のGaN層(43)を形成する工程と、

前記反対導電型のGaN層(43)を前記一導電型のGaN層(42)までエッチングしてキャビティ(44)を形成する工程と、

前記反対導電型のGaN層(43)上に前記キャビティ(44)内まで半絶縁性のAlN層(45)を形成する工程とを具える高電圧半導体デバイスの製造方法。

7. さらに、前記各AlN層(45)及び前記反対導電型のGaN層(43)の前記キャビティ(44)とは反対側の部分に電気的コンタクトを形成する工程を具える方法。

8. 基板(1)と、この基板(1)上の一導電型のGaN層(2)と、前記一導電型のGaN層上(2)上の半絶縁性のAlN部分(3)と、前記一導電型のGaN層(2)上の前記半絶縁性のAlN層(3)の互いに対向する側及びAlN層(3)の下側に部分的に形成した反対導電型のGaN層(4, 5)とを具える半導体デバイス。

9. 請求項1から8までのいずれか1項に記載の半導体デバイスにおいて、前記基板(1)をAl₂O₃とした半導体デバイス。

【発明の詳細な説明】

GaN-AlNをベース材料とする高電圧半導体装置の製造方法及び製造された半導体装置

本発明は、特にGaN又はAlNをベースとするP-n接合構造を有する高電圧半導体装置の構造及び形成を含むものである。

シリコンをベースとする半導体デバイスは、ダイオード、バイポーラトランジスタ及び高電圧トランジスタに用いられているようなpn接合構造を規定するものとして知られている。シリコン構造体は電気的特性及び光学特性に制限がある。

現在においては、シリコンの特性を利用しない半導体デバイスを得る努力がなされている。特に、III-V族化合物が注目され、特にガリウムナイトライド (GaN) 化合物が注目されている。

例えば、種々の高移動度トランジスタ、光放射ダイオード及びMIS型トランジスタが米国特許第5192987号及び5122845号並びに特開平3-273632号公報に開示されている。これらの先行文献は、n形導電層の空乏層で動作するGaN型トランジスタ及びキャパシタを開示している。

一方、本発明は、高電力高電圧装置のような特定の目的の光波長で用いることができる半導体デバイスを提供することにある。

この目的は、本発明において、基板上にp形GaN層を形成し、ゲート誘電体用の半絶縁性材料としてアルミニウムナイトライド (AlN) を用いることにより達成される。このAlNのゲート絶縁性材料はp形GaN上に形成され、n形GaNはゲートの反対側のp形材料上に形成される。得られるpn接合は高い降伏電圧により確立され、トランジスタ構造体においてソースドレイン間電圧を一層大きな値にすることができる。

p形GaN層上に成長したAlNは半絶縁性であり、その厚さは臨界的な膜厚すなわち2000Å以下である。AlNのゲート誘電体は、SiO₂、Al₂O₃又は好ましくはSi₃N₄のような種々のマスクのまわりを例えばリアクティブイオンエッチング (RIE) によりエッチングすることにより規定される。選

・ 択性イオンエッチングを用いてAlNゲート誘電体の直立したサイドウォールを形成する。KOHのようなウェットエッチングを用いる場合、AlNゲート誘電体のアンダーエッチングの防止が犠牲になる。しかしながら、このエッチングはAlNのゲート誘電体の下側のp形GaN層をエッチングしてゲート誘電体についてアンダーエッチングすることができる。また、エピタキシャル構造体の層の表面にある角度でビームが入射するイオンビームエッチングを用いることもできる。このエッチングは、GaNのエッチングレートがAlNのエッチングレートよりも速いことに依存している。

ゲート誘電体についてアンダーエッチングすることにより、ゲート誘電体の反対側のゲート誘電体の下側にソース領域及びドレイン領域を形成することができる。この形態及び基本的にゲートがソース、ドレインと重なり合うことによりゲート誘電体の下側に短いチャネル長が規定される。ソース及びドレイン領域は、p形GaN層上にn+又はn-形のGaN層又はこれらの両方の層を再成長させることにより形成される。AlNのサイドウォールの成長速度はソース、ドレインがゲートとオーバーラップする形態を決定する。ソース領域及びドレイン領域の形成は、例えばS又はSeのVI族の元素又はSi又はGeのVI族の元素を用いるイオン注入又は拡散のいずれかにより行うことができる。

本発明の技術により別の形式のFET装置を形成することもできる。例えば、p形GaN層上にn形のGaNを再成長させることによりLDMOS形式のデバイスを形成することができる。LDMISを形成するため、例えば始めにAlNゲート誘電体の一方の側にn形のGaN層を形成し、次にn+形のGaN層をゲート誘電体の反対側に形成する。両方の層は部分的にゲート誘電体の下側に形成する。続いて、n-形GaN層の一部の上にn+形のGaN層を再成長することにより、適当な電極を有するLDMIS装置が完成する。

本発明においては、種々の基板材料を用いることができ、基板材料としてのアイソレーション用に絶縁性サファイア(Al_2O_3)を用いるとデバイスとして有用な透明なデバイスが得られる。絶縁性サファイア基板を用いると、SOIデバイスの利点が達成される。さらに、GaN及びサファイアは共に合理的に良好な値の熱伝導率を有し、これはデバイスにおける良好な放熱の利点となる。GaN

Nの可視光に対する透明性は、可視光のサブバンドギャップ特性によりリーク電流のようなデバイスに入射する可視照明光による不所望な効果を除去する。或いは、SiC基板を用いる場合、その電気的特性及び熱的特性によりESDを抑制する上で重要な導電性の厚い基板を用いる利点が達成される。SiC基板とGaN層との間にAlNバッファ層を用いることにより、デバイスの設計が厚い酸化膜を用いるSiをベースとするSOIの設計と同様になる。

本発明により得られる利点は、GaN及びAlNの両方の各バンドギャップ値により生ずる。GaNは約3.4 eVのバンドギャップエネルギーを有しAlNは約6.2 eVのバンドギャップエネルギーを有している。従って、GaN-AlN系は約3.4から6.2 eVまで変化することができる。これら2個の材料は全組成範囲にわたって接近した格子整合が得られ、特に微量のInの添加により一層良好な格子整合が得られる。

エネルギーバンドギャップ差は伝導帯及び価電子帯の両方の不連続性について明瞭である。エネルギーバンドギャップ値により、この材料系は可視光に対して透明である。大きなバンドギャップの結果としてGaNは大きな値の降伏電界値すなわち $2 \sim 5 \times 10^6 \text{ V/cm}$ を有する。これに対してSiは $5 \times 10^5 \text{ V/cm}$ である。これにより、GaNのpn接合は一層大きな不純物濃度を有することができる。GaNとAlNの大きなエネルギーバンドギャップ値及び比較的安定な性質により高温でも低いリーク電流で動作でき、従ってSiと共に使用することができる。

高電圧で動作するデバイスにおいて、高電界条件下でのキャリア移動性能は重要な概念である。例えば順方向飽和電流はFETの高電界下のキャリア飽和速度により決定される。GaNは 2×10^7 の電子飽和速度を有し、この値はSiの値に比べて好ましいものである。

6.2 eVのバンドギャップを有するAlN材料はMOCVDにより半絶縁性特性を持たせて成長させることができる。GaN上に成長したAlN層はIGFETデバイス内の絶縁性ゲート誘電体として用いることができる。AlN/GaNヘテロ構造は、臨界膜厚以下のAlN膜厚を用いることにより又はInを添加することにより良好な界面性能を有しており、ゲート電極と共に用いてGaN層

に反転層を形成することができる。得られるMISFETは高電圧で動作することができる。LDMOSについての他の変形例も利用することができる。

GaN及びサファイヤ並びにSiの基板に対する良好な熱伝導体は、本発明による装置を高電力の用途に用いる観点において有益である。サファイヤ基板を用いることは、SOIデバイスにSiを用いる場合と同一の利点が達成される。pn接合の反転リーク電流は、バンドギャップが小さい性質より、デバイスに入射する可視光により明瞭に発生する。従って、本発明による装置は照明光の存在のもとで用いることができる。さらに、ゲート、ソース及びドレイン電極について透明なITOコンタクト材料を用いることにより、可視光に対して透明なデバイス構造体として用いることができる。

本発明によるプロセスの変形例は、基板上にp形GaN層を形成し、このp形層上にn形GaN層を形成し、n形層の一部をp形層の一部までエッチングし、n形層及びp形層のエッチングされた部分上にAlN層を形成してゲート誘電体を形成する方法を含む。さらにデバイス形成プロセスを行って本発明によるデバイスが完成する。

以下図面を参照して本発明を詳細に説明する。

図1は本発明によるMISFETを示す。

図2、3、4及び5は図1の種々の製造工程を示す。

図6は本発明によるLDMIS-FETを示す。

図7、8、9及び10は図6に示す装置の種々の製造工程を示す。

図11A、11B及び11Cは本発明による別の技術による種々の工程を示す。

本発明によるMIS型のトランジスタを図1に示す。この構造体は基板1上にGaNのp形層2を含み、基板1はサファイヤ材料とすることができる。AlNのゲート誘電体層3を層2上に形成し、このゲート誘電体3をはさんで互いに対向するようにn⁺形GaNの層4、5を形成する。このn⁺形GaN部分4及び5はこのトランジスタ構造のソース領域及びドレイン領域を形成し、ITOのような導電性材料の電極コンタクト6及び8をAlNのゲート誘電体3の互いに対向する側に絶縁性延長部12の端部に形成する。ゲートコンタクト7をAlNの

ゲート誘電体3と接触するように形成する。

この半導体構造体は、図2～5に示すように本発明に基づいて製造する。図2において、Ga Nのp形層2を基板1上に形成し、少なくとも半絶縁性のAl Nの上側層3を層2上に形成する。アンドロップドAl N誘電体及びp形Ga Nは、Al N層がその臨界層厚以下の厚さに形成される位置においてヘテロ構造を形成する。

Al N層3をSi₃N₄層でマスクし、次にエッチングを行ってゲート誘電体13の直立した壁部を形成する。リアクティブイオンエッチング技術により直立した壁部が形成されるが、ゲート誘電体13の下側でのアンダーカットを犠牲にしてウェットエッチングを用いることができる。Ga Nのp形層2をライン10まで除去して、図4に示すように、ゲート誘電体13の下側のGa N層2にアンダーエッチ部11を形成する。

選択性の等方性エッチングによるゲート誘電体13の下側の層2のアンダーカットにより、図5に示すように、n形Ga Nのソース領域及びドレイン領域をゲート誘電体の下側に形成することができる。ゲート誘電体13の下側のチャンネル領域の寸法は、ゲート領域がソース領域及びドレイン領域と重なり合うように制御する。

次に、図1に示すように、マスク層9の除去及び絶縁性材料の延長部12の形成を経て本発明のトランジスタ構造体が完成する。

LDMOS型装置の場合、ドレイン領域と隣接するn形Ga N層を成長させて、図6に示すように、ゲート誘電体23の側部にn形ドリフト領域25を形成する。次に、図6に示すように、n+形のGa Nのソース領域24及びドレイン領域26をゲート誘電体及びドリフト領域の側部に形成する。図7、8、9及び10に示すように、ゲート誘電体23を形成した後この装置の一方の側をゲート誘電体と共にマスク33によりマスクする。次に、図7に示すように、ゲート誘電体の一方の側にエッチング及びアンダカットを行う。その後、図8に示すように、ゲート誘電体23の上記側及びゲート誘電体のその側のp形のGa N層22上にn形のGa N層35を形成する。

次に、層22及びゲート誘電体上に形成されているマスク層33を除去し、ゲート誘電体及びn形層35の一部を覆う第2のマスク層34を形成する。

次に、p形GaN層22のマスクされていない部分についてエッチングを行い、図9に示すようにn形層35と反対側及び層35で覆われていない部分においてゲート誘電体をアンダーカットする。

次に、図10に示すように、ゲート誘電体23と隣接する部分及びn形層35のアンダーカットされた部分の両方にGaNのn+部分36を形成する。図6から明らかなように、適切なソース及びドレインコンタクト27、29をゲートコンタクト28と共にゲート誘電体から延在する絶縁性部分32と関連して形成する。

本発明の製造プロセスの変形例として、図11Aに示すように、GaNのn形層43を基板41上のp形層42上に成長させることができる。その後、図11Bに示すようにn+層43を経てp形層42までエッチングを行って、キャビティ44を形成する。最後に、キャビティ内及びn+層43の露出した表面上にAlNの層45を成長させる。さらに、図1及び6の装置に関して図示したラインに沿ってコンタクト形成を行うことができる。

別の変形例として、イオン注入又は拡散処理を行ってソース及びドレイン領域を形成することもできる。ITOのような透明なコンタクト材料により本発明の装置を可視光に対して透明にすることができる。

【図1】

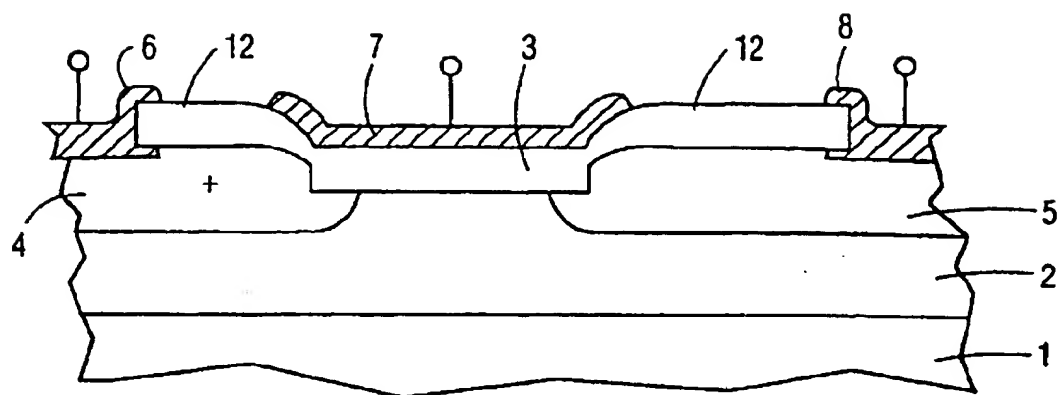


FIG. 1

【図2】

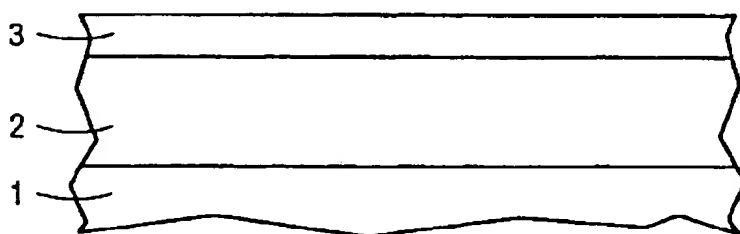


FIG. 2

【図3】

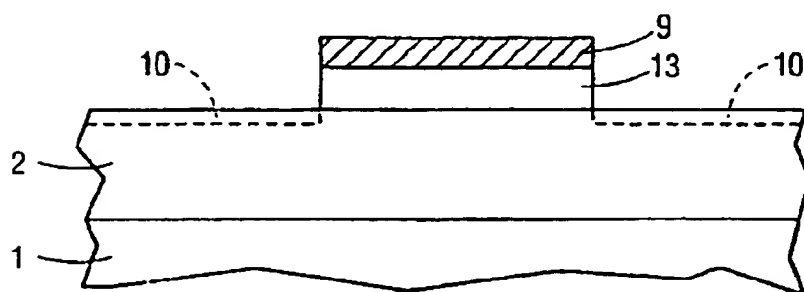


FIG. 3

【図4】

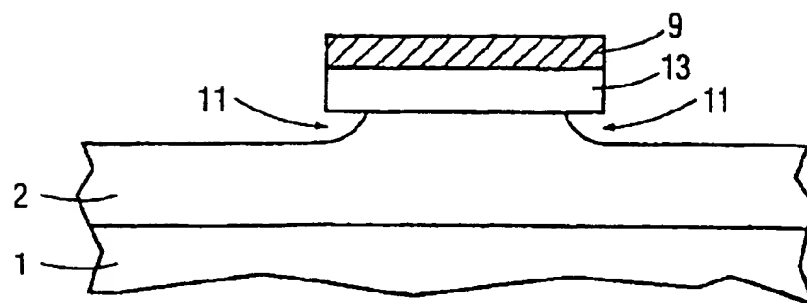


FIG. 4

【図5】

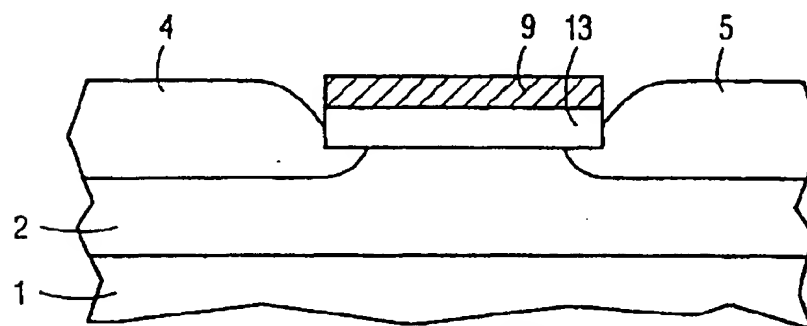


FIG. 5

【図6】

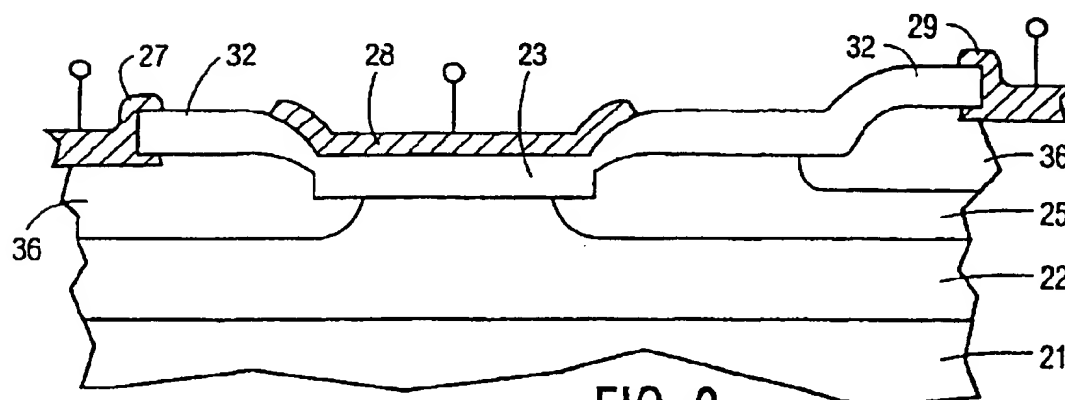
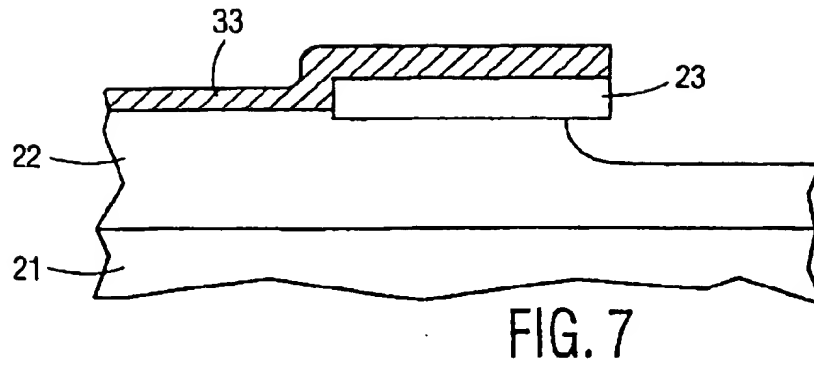
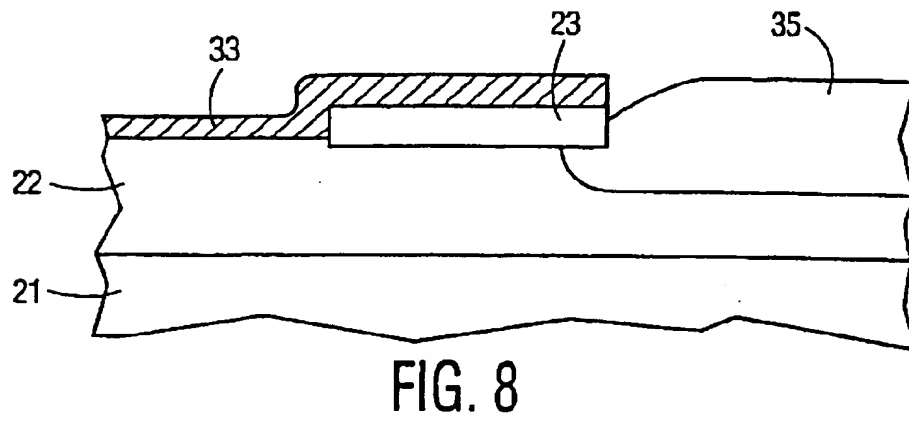


FIG. 6

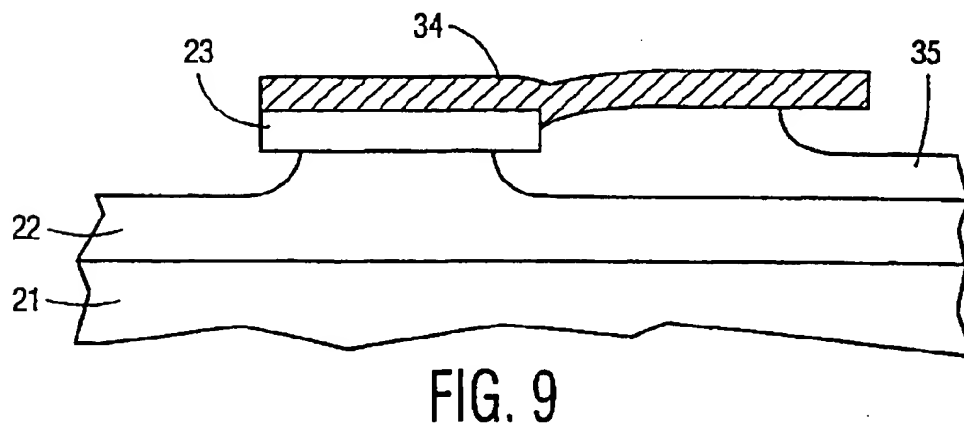
【図7】



【図8】



【図9】



【図10】

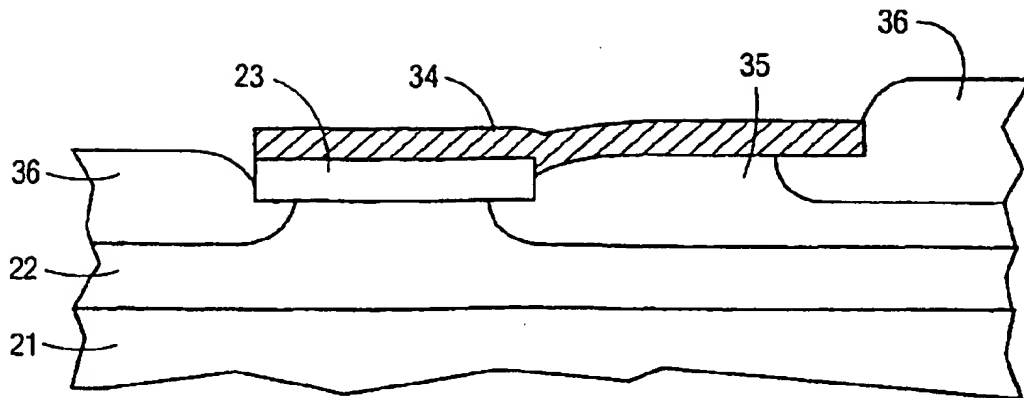


FIG. 10

【図11】

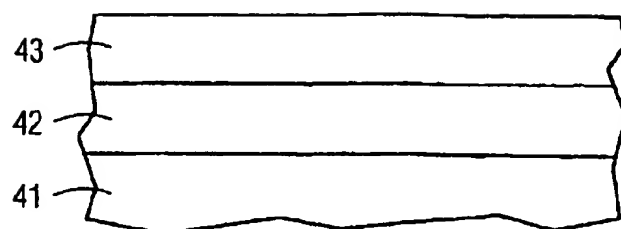


FIG. 11A

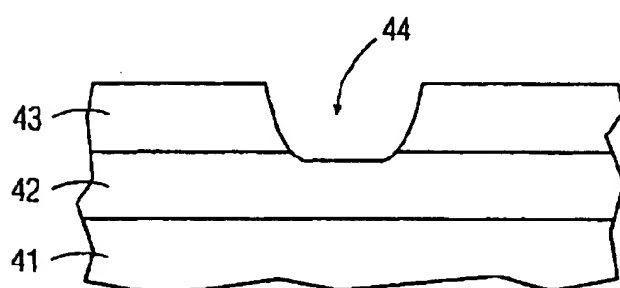


FIG. 11B

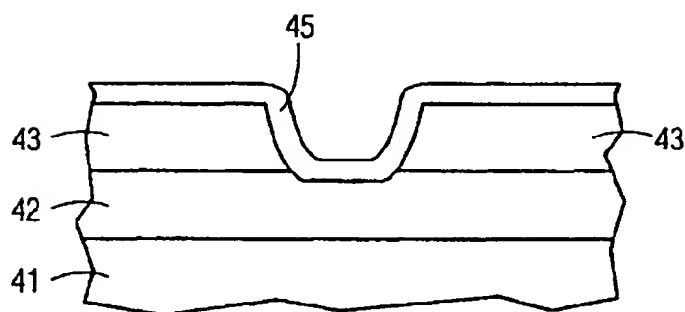


FIG. 11C

【國際調查報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01377

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H01L 21/18, H01L 29/205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5393993 A (JOHN A. EDMOND ET AL), 28 February 1995 (28.02.95), see whole document —	1-9
A	US 5369289 A (MAKOTO TAMAKI ET AL), 29 November 1994 (29.11.94), see whole document —	1-9
A	US 5192987 A (MUHAMMED A. KHAN ET AL), 9 March 1993 (09.03.93), see whole document —	1-9
A	US 5122845 A (KATSUhide MANABE ET AL), 16 June 1992 (16.06.92), see whole document —	1-9

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Δ" document member of the same patent family

Date of the actual completion of the international search

3 July 1997

Date of mailing of the international search report

04-07-1997

Name and mailing address of the ISA/

Swedish Patent Office

Box 5055, S-102 42 STOCKHOLM

Facsimile No. +46 8 666 02 86

Authorized officer

Stig Edhborg

Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01377

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4903088 A (CHRISTIANUS J.M. VAN OPDORP), 20 February 1990 (20.02.90), see whole document -- -----	1-9

INTERNATIONAL SEARCH REPORT
 Information on patent family members

03/06/97

International application No.

PCT/IB 96/01377

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5393993 A	28/02/95	AU 1300295 A CA 2177465 A CN 1137331 A EP 0734593 A WO 9517019 A	03/07/95 22/06/95 04/12/96 02/10/96 22/06/95
US 5369289 A	29/11/94	JP 5129658 A	25/05/93
US 5192987 A	09/03/93	US 5296395 A	22/03/94
US 5122845 A	16/06/92	DE 4006449 A,C JP 2229476 A	13/09/90 12/09/90
US 4903088 A	20/02/90	EP 0297654 A JP 1021991 A JP 6095588 B NL 8701497 A	04/01/89 25/01/89 24/11/94 16/01/89